

Log OutWork FilesSaved Searches

RESEARCHPRODUCTSINSIDE DELPHION

My Account

Search: Quick/Number Boolean Advanced Derwent Help

Derwent Record

View: Expand DetailsGo to: Delphion Integrated ViewTools: Add to Work File: Create new Work FileAdd

Derwent Title: Leakage current reduction method for portable telephone set, involves reading information from memory units, when LSI chip is in operation standby state

Original Title: US20020091978A1: Method for reducing leakage current of LSI

Assignee: HIGASHIDA M Individual
MITSUBISHI ELECTRIC CORP Standard company
Other publications from [MITSUBISHI ELECTRIC CORP \(MITQ\)...](#)

Inventor: HIGASHIDA M;

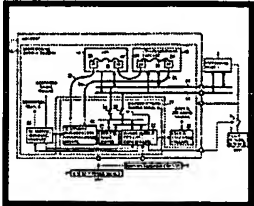
Accession/Update: 2002-690348 / 200274

IPC Code: G06F 1/26 ; G06F 1/32 ; G06F 1/30 ; G06F 12/16 ; G11C 5/00 ; H01L 21/822 ; H01L 27/04 ;

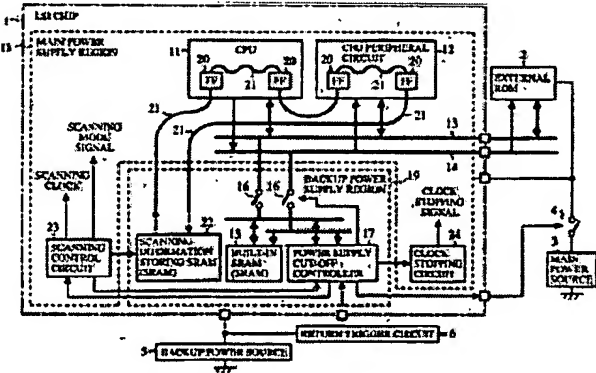
Derwent Classes: U13; W01;

Manual Codes: U13-C04B1B(Static RAM) , U13-C06(Large scale IC, ultra large IC, wafer scale digital circuit aspects) , W01-C01D1(Cordless telephone) , W01-C01D3(Mobile radio telephone) , W01-C01Q3(Program control aspects) , W01-C01Q7(Standby and related systems)

Derwent Abstract: ([US20020091978A1](#)) **Novelty** - The memory units (20) in a main power supply region (18) are connected through a scan path (21). When a LSI chip (1) is in operation standby state, information is read from the memory units and stored in a built-in SRAM (15) provided in a backup power supply region (19).
Use - For reducing leakage current of LSI chip used in portable electronic devices e.g. portable telephone set.
Advantage - The amount of current leakage is reduced, as power supply received by the transistors is reduced.



Images:



Description of Drawing(s) - The figure shows a block diagram of the LSI chip. LSI chip 1, Built-in SRAM 15, Main power supply region 18, Backup power supply region 19, Memory units 20, Scan path 21 [Dwg.1/7](#)

Family:	PDF Patent	Pub. Date	Derwent Update	Pages	Language	IPC Code
	US20020091978A1	* 2002-07-11	200274	17	English	G06F 1/26
	Local appls.:					

2002-07-12	200274	14	English	G06F 1/32
------------	--------	----	---------	-----------

☒ **JP2002196846A2 =**Local appls.:
.....

INPADOC None

Legal Status:

First Claim:

[Show all claims](#)

What is claimed is:

1. A leakage current reducing method of an LSI for reducing leakage current in an LSI chip divided into two parts; namely a main power supply region including circuits operated by receiving power from a main power source, and a backup power supply region including circuits operated by receiving power from a backup power source, said method comprising the steps of: connecting memory units in each of the circuits provided in the main power supply region through a scan path; starting a scanning operation, when the LSI chip is placed in an operation standby state, through the scan path, and reading information held in the memory units of each of the circuits provided in the main power supply region; and saving the information thus read by the scanning operation in a built-in storage section provided in the backup power supply region.

Priority Number:

Application Number	Filed	Original Title
JP2000000396005	2000-12-26	METHOD FOR REDUCING LEAK CURRENT OF LSI

Title Terms:

LEAK CURRENT REDUCE METHOD PORTABLE TELEPHONE SET READ INFORMATION
MEMORY UNIT LSI CHIP OPERATE STANDBY STATE[Pricing](#) [Current charges](#)**Derwent Searches:** [Boolean](#) | [Accession/Number](#) | [Advanced](#)

Data copyright Thomson Derwent 2003

THOMSON
★

Copyright © 1997-2006 The Thomson Corporation

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-196846

(P2002-196846A)

(43) 公開日 平成14年7月12日 (2002.7.12)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
G 0 6 F 1/32		G 0 6 F 12/16	3 4 0 Q 5 B 0 1 1
1/26		1/00	3 3 2 A 5 B 0 1 8
1/30			3 3 5 C 5 F 0 3 8
12/16	3 4 0		3 4 1 M
H 0 1 L 27/04		H 0 1 L 27/04	U

審査請求 未請求 請求項の数7 OL (全14頁) 最終頁に続く

(21) 出願番号 特願2000-396005 (P2000-396005)

(22) 出願日 平成12年12月26日 (2000.12.26)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 東田 基樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

Fターム (参考) 5B011 DA07 EA04 EA10 EB01 JB04

JB06 LL10 LL11

5B018 GA04 HA40 NA03 QA05 QA06

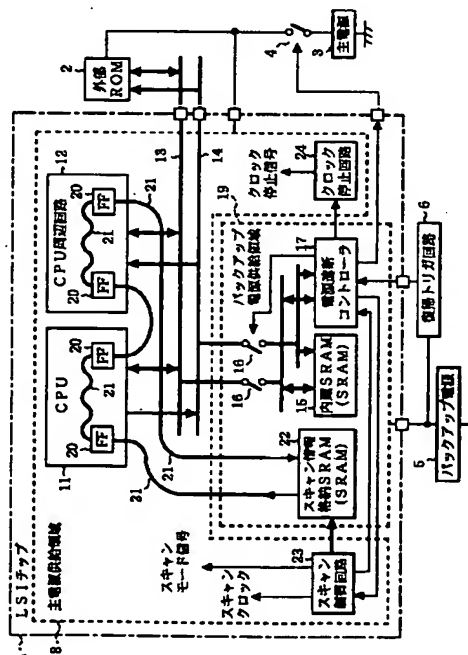
5F038 DF04 DF05 DF11 DT06 EZ20

(54) 【発明の名称】 L S I のリーク電流低減方法

(57) 【要約】

【課題】 CPUのアドレスにメモリマップされていない情報の待避が容易で、CPUで特別なスイッチング処理することなく、簡単なスイッチング処理で情報待避および復帰の処理が実現可能なL S I のリーク電流低減方法を得る。

【解決手段】 L S I チップ1を主電源供給領域18とバックアップ電源供給領域19とに二分し、スキャンバス21を設けて、それにより主電源供給領域上のCPU11やCPU周辺回路12などの各記憶素子20を接続し、動作待機状態になるとスキャンバスによるスキャン動作を開始して、主電源供給領域上の各回路の記憶素子内の情報を読み込み、それをバックアップ電源供給領域上のSRAM22に保存する。



【特許請求の範囲】

【請求項 1】 主電源から電力の供給を受けて動作する回路を搭載した主電源供給領域と、バックアップ電源から電力の供給を受けて動作する回路を搭載したバックアップ電源供給領域とを備えた LSI チップにてリーク電流を削減する LSI のリーク電流低減方法において、前記主電源供給領域に搭載されている各回路の記憶素子を、スキャンバスによって接続し、

前記 LSI チップが待機状態へ移行する場合、前記スキャンバスによるスキャン動作を開始して、前記主電源供給領域に搭載されている各回路の記憶素子のそれぞれが保持している情報を読み込み、

前記スキャン動作によって読み込まれた情報を、前記バックアップ電源供給領域に搭載されている SRAM に保存することを特徴とする LSI のリーク電流低減方法。

【請求項 2】 バックアップ電源供給領域内に、通常動作に用いられる内蔵 SRAM とは別に、スキャン動作で読み込んだ情報の格納に用いられるスキャン情報格納 SRAM を搭載し、

LSI チップの待機状態への移行時にスキャンバスを利用して読み込んだ情報を、前記スキャン情報格納 SRAM に保存することを特徴とする請求項 1 記載の LSI のリーク電流低減方法。

【請求項 3】 主電源供給領域に搭載されている各回路の各記憶素子が保持している情報の読み込み用のスキャンバスを、LSI チップのテスト用に設けられているスキャンバスで兼用したことを特徴とする請求項 2 記載の LSI のリーク電流低減方法。

【請求項 4】 バックアップ電源供給領域内に搭載されている内蔵 SRAM の一部を、スキャン動作で読み込んだ情報を格納するためのスキャン情報格納部として使用し、

LSI チップの待機状態への移行時には、スキャンバスによるスキャン動作を開始して、主電源供給領域に搭載されている各回路の記憶素子のそれぞれが保持している情報をシリアルに読み込み、読み込まれたシリアル情報をパラレル情報に変換して、それを前記内蔵 SRAM のスキャン情報格納部に、そのアドレスを指定して保存し、

前記 LSI チップの待機状態からの復帰時には、前記内蔵 SRAM のスキャン情報格納部に保存されている情報を、そのアドレスを指定してパラレルに読み出し、読み出されたパラレル情報をシリアル情報に変換して、前記主電源供給領域に搭載されている各回路の記憶素子のそれぞれに、前記スキャンバスを介して設定することを特徴とする請求項 1 記載の LSI のリーク電流低減方法。

【請求項 5】 LSI チップの動作待機状態においては、前記バックアップ電源供給領域に搭載された各回路のトランジスタの基板バイアス電圧を上昇させることを特徴とする請求項 1 記載の LSI のリーク電流低減方

法。

【請求項 6】 バックアップ電源の電圧を、主電源の電圧よりも低く、バックアップ電源供給領域に搭載されている SRAM の内容を保持するのに十分な電圧に設定しておき、

バックアップ電源供給領域に対する電力の供給を、通常動作状態においては前記主電源から行い、動作待機状態においては前記バックアップ電源から行うことを特徴とする請求項 1 記載の LSI のリーク電流低減方法。

10 【請求項 7】 主電源から電力の供給を受けて動作する回路を搭載した主電源供給領域と、バックアップ電源から電力の供給を受けて動作する回路を搭載したバックアップ電源供給領域とを備えた LSI チップにてリーク電流を削減する LSI のリーク電流低減方法において、当該 LSI チップの外部に、前記バックアップ電源より電力の供給を受けて動作する外部 SRAM を配置するとともに、前記主電源供給領域に搭載された各回路の記憶素子をスキャンバスによって接続し、

前記 LSI チップの待機状態への移行時には、前記スキャンバスによるスキャン動作を開始して、前記主電源供給領域に搭載されている各回路の記憶素子のそれぞれが保持している情報をシリアルに読み込み、読み込まれたシリアル情報をパラレル情報に変換して、それを前記外部 SRAM に、そのアドレスを指定して保存し、

前記 LSI チップの待機状態からの復帰時には、前記外部 SRAM に保存されている情報を、そのアドレスを指定してパラレルに読み出し、読み出されたパラレル情報をシリアル情報に変換して、前記主電源供給領域に搭載されている各回路の記憶素子のそれぞれに、前記スキャンバスを介して設定することを特徴とする LSI のリーク電流低減方法。

20 【請求項 8】 前記外部 SRAM に保存されている情報を、そのアドレスを指定してパラレルに読み出し、読み出されたパラレル情報をシリアル情報に変換して、前記主電源供給領域に搭載されている各回路の記憶素子のそれぞれに、前記スキャンバスを介して設定することを特徴とする LSI のリーク電流低減方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、LSI チップにおける消費電力を削減するための LSI のリーク電流低減方法に関するものであり、特に、動作待機状態におけるリーク電流によって消費電力が増大するのを抑制する LSI のリーク電流の低減方法に関するものである。

【0002】

40 【従来の技術】携帯電話機をはじめとする携帯電子機器用の LSI では、消費電力の削減が重要な問題となる。このような LSI で電力が消費される要因には、トランジスタのスイッチング動作による電力消費、およびトランジスタのリーク電流による電力消費の 2 つに大別される。携帯電話機では待ち受け処理時には LSI のロジック部は信号も含めて停止しており、トランジスタのスイッチング動作はほとんど発生しない。従って、携帯電話機における待ち受け時の消費電力の削減には、トランジスタのリーク電流の削減が有効となる。

50 【0003】図 7 は従来の LSI を用いたシステムにお

ける、上記リーク電流の低減を説明するためのブロック図である。なお、ここでは、CPU内蔵のLSIチップと外部ROMとを用いたシステムの構成例を示している。図において、1はLSIチップ、2は外部ROM、3は主電源、4は主電源電流遮断スイッチ、5はバックアップ電源、6は復帰トリガ回路である。また、LSIチップ1内において、11はCPU、12はCPU周辺回路、13はデータバス、14はアドレスバス・制御信号線であり、15は内蔵SRAM、16は内部電流遮断スイッチ、17は電源遮断コントローラである。18は主電源供給領域であり、19はバックアップ電源供給領域である。

【0004】次に動作について説明する。図示のシステムでは、主電源3とバックアップ電源5の2系統の電源が準備されており、電流リークの対策が必要なLSIチップ1には、それら主電源3とバックアップ電源5のそれぞれより電力の供給が行われている。また、LSIチップ1に外付けされた外部ROM2には、主電源3より電力の供給が行われ、動作待機状態からの復帰トリガを生成する復帰トリガ回路6にはバックアップ電源5より電力の供給が行われている。なお、主電源3からの電力供給は主電源電流遮断スイッチ4を介して行われ、システムが待機状態になると、主電源電流遮断スイッチ4をオフにしてLSIチップ1および外部ROM2への動作電力の供給を停止する。

【0005】また、LSIチップ1はその内部が、主電源3から電力の供給を受ける主電源供給領域18と、バックアップ電源5から電力の供給を受けるバックアップ電源供給領域19とに二分されている。バックアップ電源供給領域19には動作待機時のスイッチ制御を行う電源遮断コントローラ17と、記憶内容の保持が必要な内蔵SRAM15が配置されており、主電源供給領域18にはそれ以外の、CPU11やCPU周辺回路12が配置されている。主電源供給領域18の各回路は主電源3より電力の供給を受けて、バックアップ電源供給領域19の各回路はバックアップ電源5より電力の供給を受けてそれぞれ動作する。

【0006】ここで、LSIチップ1が動作待機状態になると、電源遮断コントローラ17を通じて主電源電流遮断スイッチ4がオフとなり、主電源供給領域18への動作電力の供給が遮断されるため、主電源供給領域18内の電圧レベルは不安定となる。一方、バックアップ電源供給領域19内の電圧は正常レベルである。これにより、主電源供給領域18とバックアップ電源供給領域19の間で予期しない電流が流れるのを防止するため、主電源供給領域18とバックアップ電源供給領域19の配線を、電力供給遮断時に電氣的に切り離せるように、内部電流遮断スイッチ16を介して接続している。

【0007】LSIチップ1が待機状態になって、主電源供給領域18内のCPU11やCPU周辺回路12へ

の電力供給が遮断されると、それらの記憶素子に保持されている情報が失われてしまう。そのため、それら各記憶素子の情報を主電源3からの電力供給を遮断する前に、バックアップ電源供給領域19内の内蔵SRAM15に待避させておく。なお、これら各記憶情報の内蔵SRAM15への待避は、CPU11のスイッチング動作によって処理される。このように、主電源3からの電力供給が断たれると、電力が供給されている部分はバックアップ電源供給領域19のみとなる。従って、LSIチップ1全体に電力が供給されている場合に比べて、電力が供給されているトランジスタの数が減り、結果として、LSIチップ1全体としての電流リーク量を削減することができる。

【0008】なお、このようなLSIのリーク電流低減方法に多少とも関連性のある技術が開示されている文献としては、例えば、小形の電池によって長時間確実にメモリの内容を保護することができるLSIチップに関する、特開平6-52686号公報などがある。

【0009】

20 【発明が解決しようとする課題】従来のLSIのリーク電流低減方法は以上のように構成されているので、主電源3からの電力供給遮断時に、CPU11やCPU周辺回路12の記憶素子の保持情報が失われるのを防止するため、主電源3の電力供給遮断前に、バックアップ電源供給領域19内に配置されたSRAM15に必要な情報を待避させる必要があるが、CPU11のアドレスにメモリマップされていない情報は待避が困難であり、また、主電源3の電力供給遮断前の情報待避処理、および電力供給再開時の情報復帰処理のために、CPU11による複雑なスイッチング処理が必要になるなどの課題があった。

【0010】この発明は上記のような課題を解決するためになされたもので、CPUのアドレスにメモリマップされていない情報についても容易に待避させることができ、また、CPUによる特別なスイッチング処理を必要とせず、比較的簡単なスイッチング処理によって、情報待避および情報復帰の処理が可能なLSIのリーク電流低減方法を得ることを目的とする。

【0011】

40 【課題を解決するための手段】この発明に係るLSIのリーク電流低減方法は、主電源供給領域とバックアップ電源供給領域とを持ったLSIチップにスキャンバスを設けて、それで主電源供給領域上の各回路の記憶素子を接続し、動作待機状態になるとスキャンバスによるスキャン動作を開始して、主電源供給領域上の各回路の記憶素子内の情報を読み込み、それをバックアップ電源供給領域上のSRAMに保存するようにしたものである。

【0012】この発明に係るLSIのリーク電流低減方法は、内蔵SRAMとは別のスキャン情報格納SRAMをバックアップ電源供給領域内に設け、そのスキャン情

報格納SRAMに、動作待機時にスキャンバスを利用して読み込んだ情報を保存するようにしたものである。

【0013】この発明に係るLSIのリーク電流低減方法は、スキャンバスを、LSIチップのテスト用のスキャンバスと共用するようにしたものである。

【0014】この発明に係るLSIのリーク電流低減方法は、通常動作に使用されている内蔵SRAMの一部をスキャン情報格納部として使用し、待機状態への移行時にはスキャンバスより読み込んだ主電源供給領域上の各回路の各記憶素子内の情報をシリアル・パラレル変換し、内蔵SRAMのスキャン情報格納部のアドレスを指定してそこに保存し、待機状態からの復帰時にはスキャン情報格納部のアドレスを内蔵SRAMに送り、そこから読み出した情報をパラレル・シリアル変換して主電源供給領域上の各回路の各記憶素子に設定するようにしたものである。

【0015】この発明に係るLSIのリーク電流低減方法は、バックアップ電源供給領域上のトランジスタの基板バイアス電圧を、動作待機状態には上昇させるようにしたものである。

【0016】この発明に係るLSIのリーク電流低減方法は、バックアップ電源供給領域の電力を、動作時には主電源から供給し、動作待機時には主電源より低電圧のバックアップ電源より供給するようにしたものである。

【0017】この発明に係るLSIのリーク電流低減方法は、主電源供給領域とバックアップ電源供給領域とを持ったLSIチップにスキャンバスを設けて、主電源供給領域上の各回路の記憶素子を接続するとともに、LSIチップの外部にバックアップ電源より電力が供給される外部SRAMを接続し、待機状態への移行時にはスキャンバスより読み込んだ主電源供給領域上の各回路の記憶素子内の情報をシリアル・パラレル変換して、外部SRAMにそのアドレスを指定して保存し、待機状態からの復帰時には外部SRAMにアドレスを送り、そこから読み出した情報をパラレル・シリアル変換して主電源供給領域上の各回路の各記憶素子に設定するようにしたものである。

【0018】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるLSIのリーク電流低減方法が適用されたLSIチップを示すブロック図である。なお、ここでも、従来の場合と同様に、CPU内蔵のLSIチップと外部ROMとを用いたシステムの構成例を示している。図において、1はCPU内蔵のLSIチップであり、2はこのLSIチップ1に外付けされた外部ROMである。3はLSIチップ1にその動作用の電力を供給するための主電源であり、4は動作待機時（待ち受け時）に主電源3からLSIチップ1への動作電力の供給を遮断する主電源電流遮

断スイッチである。5は待機中のLSIチップ1に必要な電力を供給するためのバックアップ電源であり、6はLSIチップ1を動作待機状態から復帰させるための復帰トリガを発生させる復帰トリガ回路である。

【0019】LSIチップ1内において、11はこのLSIチップ1に内蔵されたCPUであり、12はCPU11の制御動作時に使用されるCPU周辺回路である。13はCPU11と、CPU周辺回路12や外部ROM2などとの間でやりとりされるデータが伝送されるデータバスであり、14はCPU11が指定するアドレスや制御信号が伝送されるアドレスバス・制御信号線である。15はLSIチップ1の通常動作時及び動作待機時において必要なデータを保持するSRAMとしての内蔵SRAMであり、16はデータバス13またはアドレスバス・制御信号線14と、この内蔵SRAM15および後述する電源遮断コントローラとの接続をオン・オフする内部電流遮断スイッチである。17は復帰トリガ回路6からの信号に基づいて、待機時に主電源電流遮断スイッチ4をオフさせて、主電源3からLSIチップ1への電力の供給を遮断するとともに、上記内部電流遮断スイッチ16のオン・オフを制御する電源遮断コントローラである。

【0020】18は主電源3から電力の供給を受けて動作するCPU11、CPU周辺回路12などが配置された主電源供給領域であり、19はLSIチップ1の待機時にバックアップ電源5から電力の供給を受けて動作する内蔵SRAM15、内部電流遮断スイッチ16、電源遮断コントローラ17等が配置されたバックアップ電源供給領域である。このLSIチップ1はこれら主電源供給領域18とバックアップ電源供給領域19とに二分されている。なお、これら各部は、図7に同一符号を付して示した従来のそれらに相当する部分である。

【0021】また、20はCPU11あるいはCPU周辺回路12などの主電源供給領域18に搭載された各回路内にあって、それらの現時点における情報を保持する記憶素子であり、ここではFF（フリップフロップ）が用いられている。21はこの記憶素子20であるFFをシフトレジスタ状にカスケード接続し、LSIチップ1が動作待機状態に移行した場合、および待機状態から動作状態に復帰した場合にスキャン動作を開始するスキャンバスである。22はこのスキャンバス21のスキャン動作によって読み込まれた各記憶素子20の情報を保持するSRAMとしてのスキャン情報格納SRAMである。23は電源遮断コントローラ17と信号の授受を行い、それに基づいてスキャンクロック、スキャンモード信号を発生するとともに、スキャン情報格納SRAM22にSRAM制御信号を送って、スキャンバス21のスキャン動作を制御するスキャン制御回路である。24は電源遮断コントローラ17からの指示に従って、クロック停止信号を発生させるクロック停止回路である。

【0022】なお、上記スキャン制御回路23およびクロック停止回路24は主電源供給領域18上に、スキャン情報格納SRAM22はバックアップ電源供給領域19上に、それぞれ新設される。

【0023】次に動作について説明する。図1に示すシステムでは、その電源として、LSIチップ1に通常動作時における動作電力を供給する主電源3と、動作待機時における電力を供給するバックアップ電源5の2系統が準備されている。外部ROM2はこのLSIチップ1に外付けされ、主電源3より電力の供給を受けている。また、動作待機状態からの復帰トリガを生成する復帰トリガ回路6にはバックアップ電源5より電力が供給されている。電流リークに対する対策が必要であるため、LSIチップ1には主電源3およびバックアップ電源5のそれぞれより電力の供給が行われている。ここで、主電源3からの電力供給は主電源電流遮断スイッチ4を介して行われており、システムが動作待機状態になると、電源遮断コントローラ17からの指示により、この主電源電流遮断スイッチ4をオフにしてLSIチップ1および外部ROM2への動作電力の供給を停止する。

【0024】また、LSIチップ1はその内部が、主電源3から電力の供給を受けて動作する主電力供給領域18と、バックアップ電源5から電力の供給を受けて動作するバックアップ電源供給領域19とに分けられている。なお、そのバックアップ電源供給領域19には主電源電流遮断スイッチ4および内部電流遮断スイッチ16を制御する電源遮断コントローラ17と、主電源3の電力供給遮断時でも記憶内容の保持が必要な内蔵SRAM15、およびスキャン情報格納SRAM22が配置されている。一方、主電源供給領域18にはそれ以外の、CPU11やCPU周辺回路12、スキャン制御回路23、クロック停止回路24が配置されている。この主電源供給領域18内の各回路は主電源3からの電力供給によって駆動され、バックアップ電源供給領域19内の各回路はバックアップ電源5からの電力供給によって駆動されている。

【0025】ここで、待ち受け等によりLSIチップ1が動作待機状態に移行すると、CPU11は電源遮断コントローラ17を通じて主電源電流遮断スイッチ4の制御を行う。これによって主電源電流遮断スイッチ4をオフにし、主電源3からの電力の供給を遮断する。主電源3から主電源供給領域18への動作電力の供給が断たれると、主電源供給領域18内の電圧レベルは不安定となる。一方、バックアップ電源供給領域19内の電圧はバックアップ電源5からの電力供給が停止しないので正常レベルである。

【0026】このように、電圧レベルが主電源供給領域18では不安定となり、バックアップ電源供給領域19では正常となると、これら主電源供給領域18とバックアップ電源供給領域19との間で予期しない電流が流れ

ることがある。そのため、主電源供給領域18内のデータバス13、アドレスバス・制御信号線14などの配線と、バックアップ電源供給領域19内の配線を、内部電流遮断スイッチ16を介して接続している。主電源3からの電力供給遮断時において、CPU11は電源遮断コントローラ17を通じて主電源電流遮断スイッチ4をオフにする。これにより、主電源供給領域18とバックアップ電源供給領域19とが電氣的に切り離される。従って、主電源3からの電力供給遮断時に上記予期しない電流が流れることがなくなる。なお、この内部電流遮断スイッチ16には、バストランジスタ等を用いることができる。

【0027】LSIチップ1が待ち受け等の待機すべき状態になると、CPU11は電源遮断コントローラ17に対して待機状態への移行を通知する。通知を受けた電源遮断コントローラ17は、クロック停止回路24に対してクロック供給の停止を指示し、さらにスキャン制御回路23に対してスキャン動作の開始を指示する。スキャン動作開始の指示を受け付けたスキャン制御回路23は、SRAM制御信号をスキャン情報格納SRAM22に送るとともに、スキャンモード信号をアサートし、スキャンクロックを発生する。スキャンモード信号がアサートされると、スキャンバス21はアクティブとなってスキャン動作を開始し、スキャンクロック1パルス毎にシフト動作を行う。なお、スキャン制御回路23からのスキャンモード信号のネゲート時には、各記憶素子20において通常のFF動作が行われている。

【0028】このスキャンバス21によるスキャン動作によって、主電源供給領域18内のCPU11やCPU周辺回路12の各記憶素子20に保持されている情報の読み込みが行われる。読み込まれた各記憶素子20の情報はスキャンバス21経由でスキャン情報格納SRAM22に格納される。ここで、このスキャン情報格納SRAM22への書き込みのためのアドレスや制御信号は、スキャン制御回路23よりSRAM制御信号としてスキャン情報格納SRAM22に与えられる。このスキャンバス21を用いた全ての記憶素子20のスキャン動作が終了すると、スキャン制御回路23はその旨を電源遮断コントローラ17に通知する。通知を受けた電源遮断コントローラ17は主電源3の電力供給を停止する信号をアサートして主電源電流遮断スイッチ4をオフにし、主電源3からLSIチップ1および外部ROM2への電力供給を遮断する。

【0029】このように、主電源供給領域18内のCPU11やCPU周辺回路12の各記憶素子20に保持されていた情報を、バックアップ電源供給領域19上のスキャン情報格納SRAM22に待避させた後、主電源3からの電力供給を遮断しているので、それらの記憶素子20に保持されていた情報が失われてしまうようなことはない。このようにして、主電源3からの電力の供給が

遮断されれば、LSIチップ1内で電力が供給されている部分はバックアップ電源供給領域19のみとなる。従って、LSIチップ1全体に電力が供給されている場合に比べて、電力が供給されているトランジスタの数が少なくなり、結果として、LSIチップ1全体としての電流リーク量を削減することができる。

【0030】待機状態から復帰する場合には、外部に接続された復帰トリガ回路6よりLSIチップ1に復帰トリガが入力される。LSIチップ1ではこの復帰トリガを電源遮断コントローラ17で受け取る。復帰トリガを受けた電源遮断コントローラ17は主電源3の電力供給を復帰させる信号をアサートして主電源電流遮断スイッチ4をオンにし、主電源3からLSIチップ1および外部ROM2への電力供給を再開させる。再開された電力の供給が安定すると、主電源3からの電力供給遮断時にはオフ状態となっていた内部電流遮断スイッチ16をオン状態にする。内部電流遮断スイッチ16をオンさせることによって、LSIチップ1の主電源供給領域18とバックアップ電源供給領域19との配線が電気的に接続される。電源遮断コントローラ17はスキャン制御回路23に対してスキャン動作の開始を指示する。スキャン動作開始の指示を受け付けたスキャン制御回路23は、SRAM制御信号をスキャン情報格納SRAM22に送るとともに、スキャンクロックを発生し、スキャンモード信号をアサートする。これによって、スキャンバス21によるスキャン動作が開始され、スキャン情報格納SRAM22に待避されていた、主電源供給領域18内のCPU11やCPU周辺回路12の各記憶素子20の、待機状態移行前の情報がスキャンバス21経由で、CPU11やCPU周辺回路12の各記憶素子20に設定される。

【0031】その後、電源遮断コントローラ17はクロック停止回路24に対してクロック供給の開始を指示する。このクロック供給開始の指示を受けたクロック停止回路24はクロックを発生し、記憶素子20に待機状態移行前の情報が設定されたCPU11、CPU周辺回路12などは、このクロックの供給を受けて待機前の状態から動作を再開する。

【0032】以上のように、この実施の形態1によれば、LSIチップ1のバックアップ電源供給領域19上にスキャン情報格納SRAM22を設け、スキャンバス21で主電源供給領域18上のCPU11、CPU周辺回路12などの各記憶素子20を接続して、待機状態への移行時にそのスキャンバス21を介してCPU11等の記憶素子20内の情報を読み込んで内蔵SRAM15に保存し、待機からの復帰時にそのスキャン情報格納SRAM22に保存した情報を、スキャンバス21を介してCPU11等の元の記憶素子20に設定しているので、CPU11にて特別なスイッチ処理を行うことなく、比較的簡単なスイッチング処理で情報の待避および

復帰の処理が可能となって、待機状態移行直後から動作を再開することができ、また、CPU11のアドレスにメモリマップされていない情報についても容易に待避させることができるLSIのリーク電流低減方法が実現できるという効果が得られる。

【0033】実施の形態2. なお、上記実施の形態1では、情報の待避および復帰時におけるリーク電流低減のためのスキャンバス21を別途設けたものについて説明したが、LSIチップ1には、そのCPU11やCPU周辺回路12のテストを容易にするために、テスト用のスキャンバスを既に搭載している場合があり、LSIチップ1の待機状態への移行時、および待機状態からの復帰時に、リーク電流を低減するためのスキャンバスとして、その既設のテスト用のスキャンバスを共用することも可能である。

【0034】図2はそのようなこの発明の実施の形態2によるLSIのリーク電流低減方法が適用されたLSIチップ1を示すブロック図であり、ここでは、LSIチップ1の内部構成についてのみ図示している。図において、1はLSIチップ、11はCPU、12はCPU周辺回路、13はデータバス、14はアドレスバス・制御信号線、15は内蔵SRAM、16内部電流遮断スイッチ、17は電源遮断コントローラ、18は主電源供給領域、19はバックアップ電源供給領域、20は記憶素子、22はスキャン情報格納SRAM、23はスキャン制御回路、24はクロック停止回路である。なお、これら各部は、図1に同一符号を付して示した実施の形態1におけるそれらに対応する部分であるため、その詳細な説明は省略する。

【0035】また、25はCPU11やCPU周辺回路12等の各記憶素子20としてのFFをシフトレジスタ状にカスケード接続し、LSIチップ1が待機状態への移行時、および待機状態からの復帰時における、リーク電流低減のためのスキャンバスであるが、LSIチップ1のテストのために既に用意されているテスト用のスキャンバスで兼用されている点で、図1に符号21を付して示した実施の形態1のスキャンバスとは異なっている。26a~26cはスキャンバス25をリーク電流低減のためと、LSIチップ1をテストする時とで共用する際の、各信号の切り替えを行うセレクタであり、セレクタ26aはスキャン制御回路23からのスキャンモード信号とスキャンテスト用のスキャンモード信号の切り替えを、セレクタ26bはスキャン制御回路23からのスキャンクロックとスキャンテスト用のクロックの切り替えを、セレクタ26cはスキャン情報格納SRAM22からのスキャン入力信号とスキャンテスト用のスキャン入力信号の切り替えをそれぞれ行っている。

【0036】次に動作について説明する。このような、リーク電流低減時とLSIテスト時とで共用されるスキャンバス25を用いたLSIチップ1のテストでは、L

LSIチップ1の外部よりスキャンテスト用のテストモード信号、クロックパルス、およびスキャン入力信号を入力し、選択信号によってセレクト26a~26cの選択を切り替える。これによって、セレクト26aからはスキャンテスト用のテストモード信号が、セレクト26bからはスキャンテスト用のスキャンクロックが出力され、スキャンバス25にはセレクト26cで選択されたスキャンテスト用のスキャン入力信号が入力される。このようにしてCPU11、CPU周辺回路12などの記憶素子20がスキャンされ、テスト用のスキャン出力信号がスキャンバス25より外部に出力されてチェックされる。このスキャンバス25を用いたLSIチップ1のテストは、LSIチップ1内のCPU11、CPU周辺回路12などの記憶素子20の値の設定、観測が容易に行えるため、多くのLSIチップで採用されている。

【0037】一方、スキャンバス25をLSIチップ1のリーク電流低減のためのスキャンに使用した場合、選択信号によってセレクト26a~26cを切り替えて、セレクト26aによりスキャン制御回路23からのテストモード信号を、セレクト26bによりスキャン制御回路23からのスキャンクロックを選択する。また、セレクト26cではスキャン情報格納SRAM22からのスキャン入力信号を選択してスキャンバス25に入力する。以下、このスキャンバス25を用いたスキャン動作を実行することにより、実施の形態1の場合と同様に、LSIチップ1の待機状態への移行に際して、CPU11、CPU周辺回路12等の各記憶素子20の情報がスキャン情報格納SRAM22に待避され、待機状態から動作状態に復帰するに際して、スキャン情報格納SRAM22に待避されていた情報が、CPU11、CPU周辺回路12等の各記憶素子20に設定される。

【0038】以上のように、この実施の形態2においては、スキャンバス25をLSIチップ1のテスト時と、情報の待避/復帰の際のリーク電流低減時とで共用しているので、CPU11やCPU周辺回路12などに、待機状態への移行時および待機状態からの復帰時におけるリーク電流低減のためのスキャンバスを別途設ける必要がなくなり、LSIチップ1上の回路面積の増大を回避することが可能になるという効果が得られる。

【0039】実施の形態3。また、上記実施の形態1では、スキャンバス21のスキャン動作にて読み込んだ情報を、別途用意したスキャン情報格納SRAM22に格納する場合について説明したが、通常動作に使用されている内蔵SRAMの一部を、スキャン動作で読み込んだ情報を格納するスキャン情報格納部として使用するようにしてもよい。図3はそのようなこの発明の実施の形態3によるLSIのリーク電流低減方法が適用されるLSIチップ1の要部を示すブロック図であり、相当部分には図1と同一符号を付してその説明を省略する。なお、ここでは、CPU11のデータバス13が32ビットで

ある場合について例示している。

【0040】図において、27は通常動作に使用されている内蔵SRAM(SRAM)であるが、スキャンバス21によるスキャン動作によって読み込まれた情報を格納するスキャン情報格納部27aとしてその一部が利用されている点で、図1に符号22を付して示した実施の形態1の内蔵SRAMとは異なっている。28はスキャンバス21のスキャン動作で読み込まれた情報を、シリアル情報から32ビットのバラレル情報に変換してデータバス13に出力し、また内蔵SRAM27のスキャン情報格納部27aからデータバス13に読み出された32ビットのバラレル情報を、シリアル情報に変換してスキャンバスに送り出すシリアル・バラレル変換回路である。29はスキャン制御回路23から出力されたSRAM制御信号中のアドレスおよび制御信号、あるいはCPU11よりアドレスバス・制御信号線14に出力されたアドレスおよび制御信号の一方を選択して内蔵SRAM27に入力するセレクトである。

【0041】次に動作について説明する。セレクト29は電源遮断コントローラ17からの信号によって、通常動作時にはアドレスバス・制御信号線14側が活性化され、CPU11からのアドレスおよび制御信号が内蔵SRAM27に送られる。これにより、内蔵SRAM27の通常動作時のデータがデータバス13より内部電流遮断スイッチ16を介してその領域に書き込まれる。

【0042】一方、待機状態への移行時、あるいは待機状態からの復帰時においては、電源遮断コントローラ17からの信号によって、セレクト29はスキャン制御回路23側が活性化され、スキャン制御回路23の出力するSRAM制御信号によるアドレスおよび制御信号が内蔵SRAM27に送られる。これにより、内蔵SRAM27のスキャン情報格納部27aとして利用される領域のアドレスが指定され、この待機/復帰動作時における情報の、スキャン情報格納部27aへの書き込み/読み出しが行われる。ここで、CPU11の通常動作に必要な内蔵SRAM27では多ビットのデータバス接続となる(図示の例では32ビット)。一方、スキャンバス21においてはCPU11等の各記憶素子20の情報が1ビット単位で入出力される。シリアル・バラレル変換回路28ではこのビット幅の差を吸収している。

【0043】以下に、そのシリアル・バラレル変換回路28とスキャン制御回路23の動作について詳細に説明する。待機状態への移行時において、シリアル・バラレル変換回路28はまず、CPU11等の各記憶素子20の情報を32個、スキャンバス21から入力する。次いで、このスキャンバス21より入力されたシリアル情報を32ビットのバラレル情報に変換してデータバス13に出力する。スキャン制御回路23はこのシリアル・バラレル変換回路28の、データバス13への32ビットのバラレル情報の出力動作に合わせてSRAM制御信号

を出力する。このSRAM制御信号は電源遮断コントローラ17からの信号で制御されるセクタ29を介して内部SRAM27に送られる。なお、このSRAM制御信号は、内蔵SRAM27のスキャン情報格納部27aの適切な領域にスキャン情報が格納されるような、アドレスと制御信号とで構成されている。これにより、データバス13に出力された上記32ビットのバラレル情報は内部電流遮断スイッチ16を介して、内部SRAM27のアドレスが指定されたスキャン情報格納部27aに格納される。以上の処理を、CPU11の各記憶素子20の情報のスキャンが全て終了するまで繰り返す。

【0044】また、待機状態からの復帰時においては、スキャン制御回路23からのSRAM制御信号によってアドレス指定された、内蔵SRAM27のスキャン情報格納部27aより、32ビットのバラレル情報がデータバス13を介してシリアル・バラレル変換回路28に読み込まれる。なお、このSRAM制御信号は、内蔵SRAM27のスキャン情報格納部27aの適切な領域に格納されたスキャン情報が出力されるような、アドレスと制御信号とで構成されている。シリアル・バラレル変換回路28は読み込んだ32ビットのバラレル情報をシリアル情報に変換し、それを順次スキャンバス21に送出する。このようにしてスキャンバス21に出力された情報は、主電源供給領域18内のCPU11やCPU周辺回路12の各記憶素子20に設定される。以上の処理を、CPU11の各記憶素子20の全てに待機状態移行前の情報が設定されるまで繰り返す。

【0045】ここで、一般にSRAMはCPU処理の中間結果の保持用に用いられることが多い。従って、動作待機時に保存が必要な情報はSRAMの全体容量の一部であることが普通である。この場合、SRAMの動作待機時にデータ保持の不要な領域を、スキャン情報格納部として使用することができる。もし、全ての情報を保存する必要がある、SRAMのメモリ容量をスキャン情報格納に必要な分量だけ増加させ、その部分をスキャン情報格納部とする。SRAMではアドレスデコーダの面積が全面積中に占める割合はかなり大きなものである。従って、たとえメモリ容量を増加させても、独立に2つのSRAM（内蔵SRAMとスキャン情報格納SRAM）を用意することに比べれば、チップ面積を小さくすることができる。

【0046】以上のように、この実施の形態3によれば、バックアップ電源供給領域19上に配置された内蔵SRAM27の一部の領域を、スキャン情報格納部として使用しているので、バックアップ電源供給領域19内にスキャン情報格納用のSRAMを設ける必要がなくなり、チップ面積を増大させることなく、リーク電流の低減を実現できるという効果が得られる。

【0047】実施の形態4。また、上記実施の形態1に示すLSIのリーク電流低減方法は、他のLSIのリー

ク電流低減方法、例えばバックアップ電源供給領域19内の各トランジスタの基板バイアス電圧を、動作待機時に上昇させるLSIのリーク電流低減方法と組み合わせることも可能である。図4はそのようなこの発明の実施の形態4によるLSIのリーク電流低減方法が適用されたLSIチップの要部を示すブロック図であり、相当部分には図1と同一符号を付してその説明を省略する。

【0048】図において、30はバックアップ電源供給領域19上に搭載され、バックアップ電源供給領域19内の各トランジスタの基板バイアス電圧を制御するトランジスタ基板バイアス回路であり、内部電流遮断スイッチ16と同じ電源遮断コントローラ17からの制御信号によって制御されている。なお、動作待機時に個々のMOSTランジスタのリーク電流を低減するために、トランジスタの基板バイアス電圧を制御する手法は、例えば特開平5-108194号公報「低消費電力型半導体集積回路」などに照会されている周知のものであるため、ここではその詳細な説明は省略する。

【0049】次に動作について説明する。バックアップ電源供給領域19内の全てのMOSTランジスタは、トランジスタ基板バイアス回路30の制御によってその基板バイアス電圧が変更される。すなわち、LSIチップ1が待機状態に移行すると、電源遮断コントローラ17は内部電流遮断スイッチ16をオフにするための制御信号を発生し、その制御信号をバックアップ電源供給領域19上に搭載されたトランジスタ基板バイアス回路30にも出力する。トランジスタ基板バイアス回路30はこの制御信号によってトリガされ、バックアップ電源供給領域19内の全てのMOSTランジスタの基板バイアス電圧を上昇させる。これによって、それらMOSTランジスタの動作閾値が高くなり、LSIチップ1の動作待機時におけるリーク電流を低減することができる。

【0050】一方、LSIチップ1の通常動作時には、電源遮断コントローラ17からの制御信号によってトランジスタ基板バイアス回路30が制御され、バックアップ電源供給領域19内の全てのMOSTランジスタの基板バイアス電圧を低下させる。これによって、MOSTランジスタの動作閾値が低くなり、LSIチップ1のリーク電流は大きくなるが、MOSTランジスタの動作速度は高速になる。

【0051】以上のように、この実施の形態4によれば、バックアップ電源供給領域19の各トランジスタの基板バイアス電圧を待機時に上昇させているので、リーク電流をさらに低減できるという効果が得られる。

【0052】実施の形態5。また、上記実施の形態1では、バックアップ電源供給領域19の電力を、主電源3と同電圧のバックアップ電源供給領域19から供給する場合について説明したが、通常動作時には主電源3から、動作待機時には主電源3より低電圧のバックアップ電源5より電力を供給するようにしてもよい。図5はそ

のようなこの発明の実施の形態5によるLSIのリーク電流低減方法が適用されたLSIチップの要部を示すブロック図であり、相当部分には図1と同一符号を付してその説明を省略する。

【0053】図において、7はLSIチップ1の動作待機時において、バックアップ電源供給領域19に電力を供給するバックアップ電源であるが、その電圧がバックアップ電源供給領域19に搭載されている内蔵SRAM15の内容を保持するのに十分な、主電源3の電圧よりも低い電圧に設定されている点で、図1に符号5を示した実施の形態1のそれとは異なっている。また、31はバックアップ電源供給領域19内の各回路に対して、通常動作時には主電源3からの電力を供給し、動作待機時には主電源3より低電圧のバックアップ電源7より電力を供給するための電源切替スイッチであり、内部電流遮断スイッチ16と同じ電源遮断コントローラ17からの制御信号によって制御されている。

【0054】次に動作について説明する。通常動作時においては、電源遮断コントローラ17からの内部電流遮断スイッチ16と同一の制御信号によって電源切替スイッチ31が制御され、バックアップ電源供給領域19には主電源3より電力の供給が行われる。従って、通常動作時には、バックアップ電源供給領域19内の各回路のトランジスタは主電源3から供給される高電圧で動作する。一方、動作待機時においては、電源遮断コントローラ17からの上記制御信号によって電源切替スイッチ31が制御され、バックアップ電源供給領域19にはバックアップ電源7より電力の供給が行われる。ここで、このバックアップ電源7の電圧は、バックアップ電源供給領域19内のFFやSRAMが状態を保持するために必要な最低限の電圧に設定されている。従って、動作待機時には、バックアップ電源供給領域19内の各回路のトランジスタはバックアップ電源7から供給される低電圧で動作し、そのFFやSRAMの内容を保持する。

【0055】以上のように、この実施の形態5によれば、バックアップ電源供給領域19への電力供給を、待機時にはバックアップ電源7から、主電源3よりも低電圧で行っているため、リーク電流のさらなる低減が可能となり、また、通常動作時におけるバックアップ電源供給領域19への電力の供給を主電源3より行っているため、バックアップ電源7の消耗率を低減できるなどの効果が得られる。

【0056】実施の形態6。なお、実施の形態3では、LSIチップ1の内部に通常動作に使用される内蔵SRAM27を設け、その一部をスキャン動作で読み込んだ情報を格納するスキャン情報格納部27aとして共用した場合について説明したが、LSIチップ1内にはSRAMを設けず、LSIチップ1の外部にその一部をスキャン情報格納部として使用した外部SRAMを設けるようにしてもよい。図6はそのようなこの発明の実施の形

態6によるLSIのリーク電流低減方法が適用されたLSIチップの構成を示すブロック図であり、相当部分には図3と同一符号を付してその説明を省略する。

【0057】図において、8はデータバス13およびアドレスバス・制御信号線14を介して当該LSIチップ1の外部に接続され、バックアップ電源5より電力の供給を受けている外部SRAMであり、その一部はスキャンバス21によるスキャン動作によって読み込まれた情報を格納するスキャン情報格納部8aとして使用されている。32はスキャン制御回路23から出力されたSRAM制御信号のアドレスおよび制御信号、あるいはCPU11よりアドレスバス・制御信号線14に出力されたアドレスおよび制御信号の一方を選択して外部SRAM8に入力するセレクタである。

【0058】次に動作について説明する。この実施の形態6では、SRAMとして外部SRAM8がLSIチップ1の外部に配置されているので、スキャン制御回路23からのSRAM制御信号、あるいはCPU11からのアドレス・制御信号のいずれか一方がセレクタ32で選択され、LSIチップ1外の外部ROM2および外部SRAM8に出力される。すなわち、待機状態への移行時および待機状態からの復帰時には、セレクタ32は電源遮断コントローラ17からの信号に応動して、スキャン制御回路23からのSRAM制御信号によるアドレスと制御信号を選択し、外部SRAM8に出力する。また、通常動作時には、電源遮断コントローラ17からの信号に応動するセレクタ32によって、CPU11からのアドレスおよび制御信号が選択され、外部ROM2および外部SRAM8に出力される。なお、その他の動作は実施の形態3の場合と同様である。

【0059】以上のように、この実施の形態6によれば、LSIチップ1の外部に接続した外部SRAM8の一部をスキャン情報格納部8aとして使用し、スキャン動作で読み込まれた情報を格納しているため、スキャン情報格納用のSRAMをLSIチップ1内に追加することなく、リーク電流の低減が実現できるという効果が得られる。

【0060】

【発明の効果】以上のように、この発明によれば、LSIチップに設けたスキャンバスで主電源供給領域上の各回路の記憶素子を接続し、動作待機状態になるとスキャンバスによるスキャン動作にて読み込んだ、主電源供給領域上の各回路の記憶素子内の情報を、バックアップ電源供給領域上のSRAMに保存するように構成したので、CPUのアドレスにメモリマップされていない情報の待避が容易で、CPUによる特別なスイッチング処理を必要とせず、比較的簡単なスイッチング処理によって情報待避および情報復帰ができ、待機状態移行直後から動作を再開することが可能なLSIのリーク電流低減方法が得られるという効果がある。

【0061】この発明によれば、内蔵SRAMとは別のスキャン情報格納SRAMをバックアップ電源供給領域内に設け、動作待機時にスキャンバスを利用して読み込んだ情報を、そのスキャン情報格納SRAMに保存するように構成したので、CPUのアドレスにメモリマップされていない情報を容易に待避でき、比較的簡単なスイッチング処理によって情報待避および情報復帰が可能となって、動作を待機状態移行直後から再開することができるという効果がある。

【0062】この発明によれば、スキャンバスをLSIチップのテスト用のスキャンバスと共用するように構成したので、待機状態への移行時および待機状態からの復帰時におけるリーク電流低減のためのスキャンバスを別途設ける必要がなくなり、回路面積の増大を回避することができるという効果がある。

【0063】この発明によれば、待機状態への移行時には、スキャンバスより読み込んだ主電源供給領域上の各回路の各記憶素子内の情報をシリアル・パラレル変換し、内蔵SRAMの一部を使用しているスキャン情報格納部のアドレスを指定してそこに保存し、待機状態からの復帰時には、スキャン情報格納部のアドレスを内蔵SRAMに送り、そこから読み出した情報をパラレル・シリアル変換して各記憶素子に設定するように構成したので、バックアップ電源供給領域内にスキャン情報格納用のSRAMを設ける必要がなくなり、チップ面積を増大させずにリーク電流の低減を実現できるという効果がある。

【0064】この発明によれば、動作待機時に、バックアップ電源供給領域上のトランジスタの基板バイアス電圧を上昇させるように構成したので、トランジスタの閾値が高くなり、リーク電流をさらに低減できるという効果がある。

【0065】この発明によれば、動作時には主電源から、動作待機時には主電源より低電圧のバックアップ電源から、バックアップ電源供給領域への電力を供給するように構成したので、待機状態における動作電圧が低くなってリーク電流のさらなる低減が可能となり、また、通常動作時にはバックアップ電源供給領域が主電源より電力の供給を受けているので、バックアップ電源の消費率を低減できるなどの効果がある。

【0066】この発明によれば、待機状態への移行時には、スキャンバスより読み込んだ主電源供給領域上の各回路の各記憶素子内の情報をシリアル・パラレル変換し、バックアップ電源より電力が供給される外部SRAMにそのアドレスを指定して保存し、待機状態からの復

帰時には、外部SRAMのアドレスを指定して、そこから読み出した情報をパラレル・シリアル変換し、各記憶素子に設定するように構成したので、スキャン情報格納用のSRAMをLSIチップ内のバックアップ電源供給領域内に設ける必要がなくなり、チップ面積を増大させずにリーク電流の低減を実現できるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるLSIのリーク電流低減方法を適用したLSIチップを示すブロック図である。

【図2】 この発明の実施の形態2によるLSIのリーク電流低減方法を適用したLSIチップを示すブロック図である。

【図3】 この発明の実施の形態3によるLSIのリーク電流低減方法を適用したLSIチップの要部を示すブロック図である。

【図4】 この発明の実施の形態4によるLSIのリーク電流低減方法を適用したLSIチップの要部を示すブロック図である。

【図5】 この発明の実施の形態5によるLSIのリーク電流低減方法を適用したLSIチップの要部を示すブロック図である。

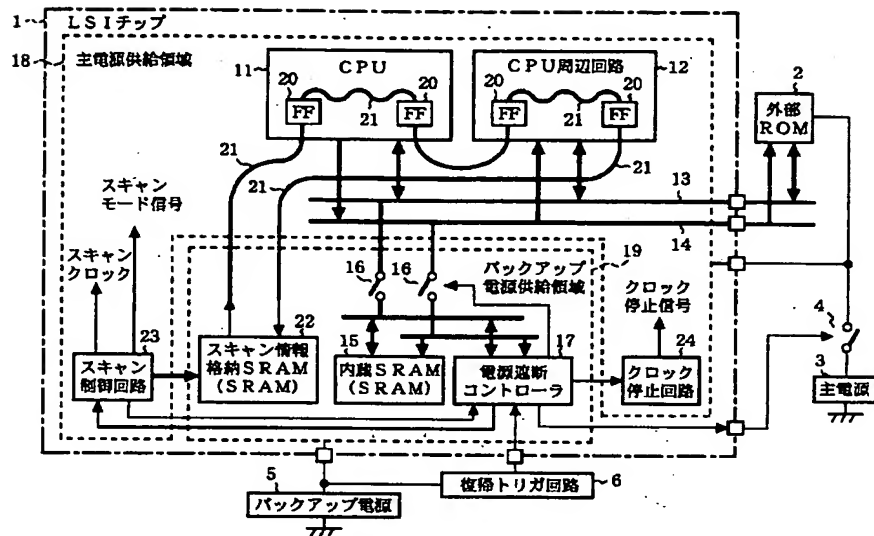
【図6】 この発明の実施の形態6によるLSIのリーク電流低減方法を適用したLSIチップを示すブロック図である。

【図7】 従来のLSIのリーク電流低減方法を適用したLSIチップを示すブロック図である。

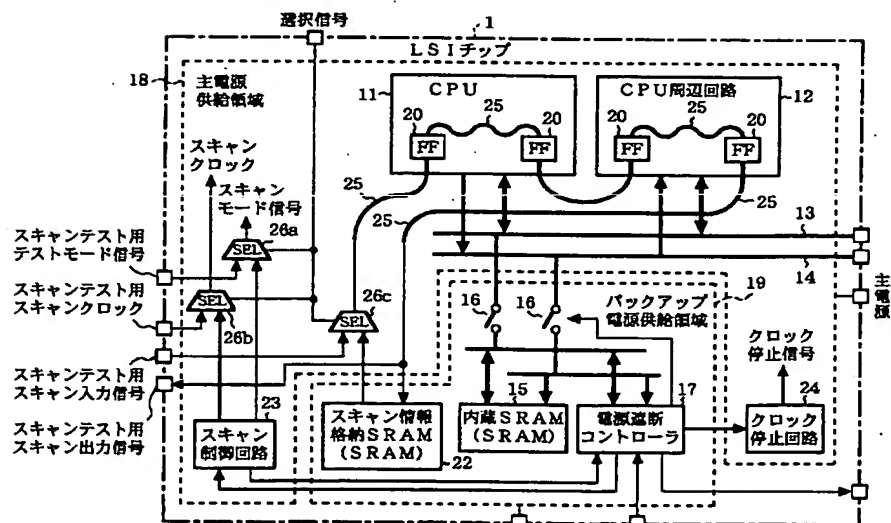
【符号の説明】

- 1 LSIチップ、2 外部ROM、3 主電源、4 主電源電流遮断スイッチ、5 バックアップ電源、6 復帰トリガ回路、7 バックアップ電源、8 外部SRAM、8a スキャン情報格納部、11 CPU、12 CPU周辺回路、13 データバス、14 アドレスバス・制御信号線、15 内蔵SRAM (SRAM)、16 内部電流遮断スイッチ、17 電源遮断コントローラ、18 主電源供給領域、19 バックアップ電源供給領域、20 記憶素子、21 スキャンバス、22 スキャン情報格納SRAM (SRAM)、23 スキャン制御回路、24 クロック停止回路、25 スキャンバス、26a~26c セレクタ、27 内蔵SRAM (SRAM)、27a スキャン情報格納部、28 シリアル・パラレル変換回路、29 セレクタ、30 トランジスタ基板バイアス回路、31 電源切替スイッチ、32 セレクタ。

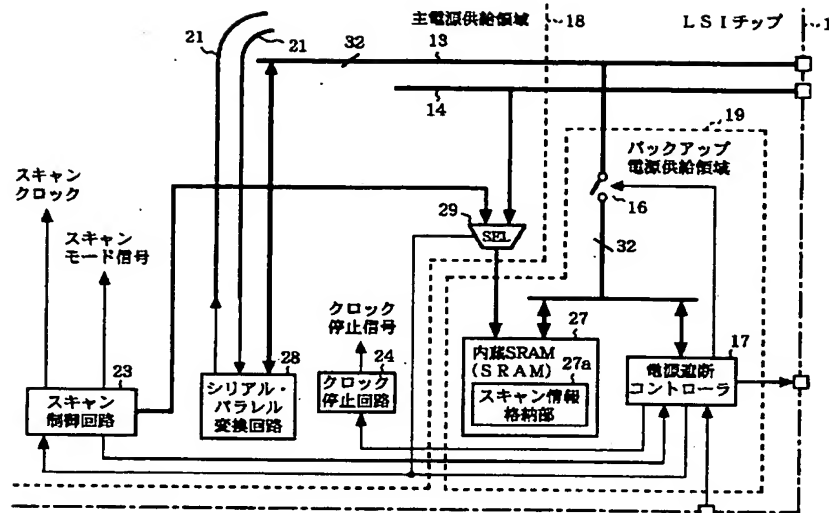
【図1】



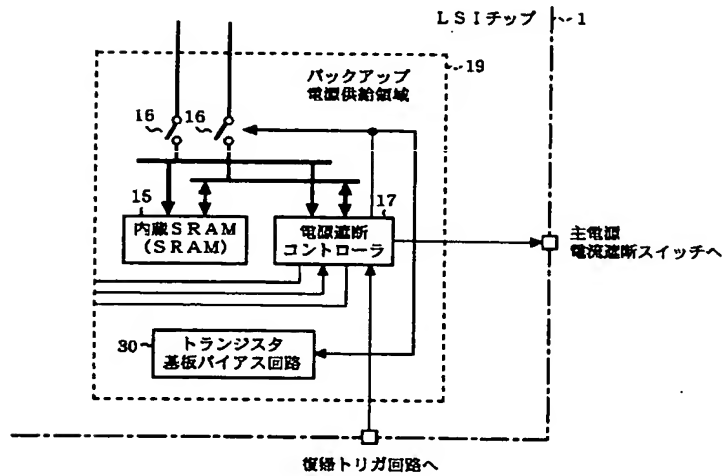
【図2】



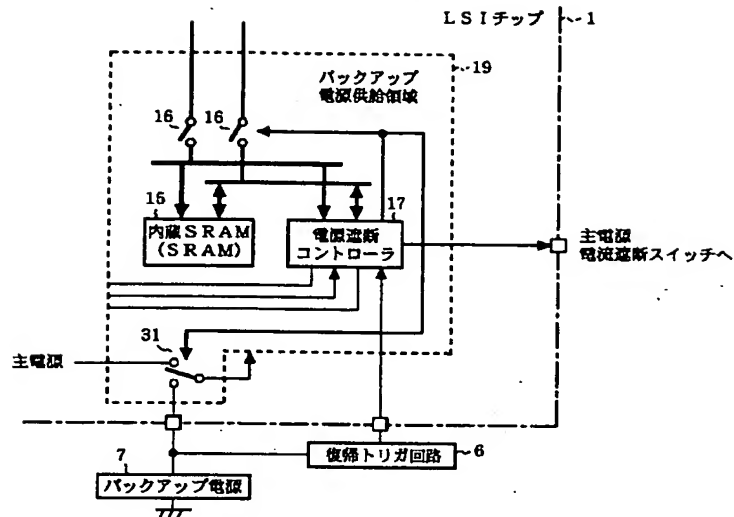
【図3】



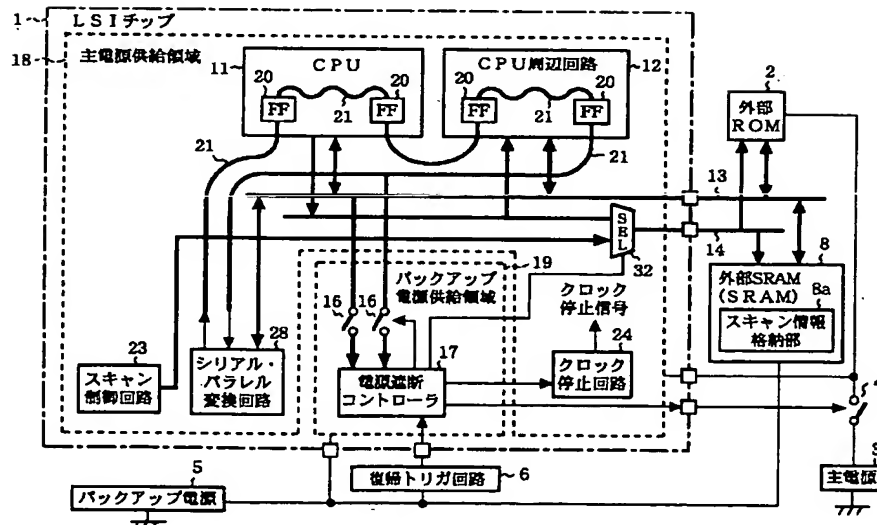
【図4】



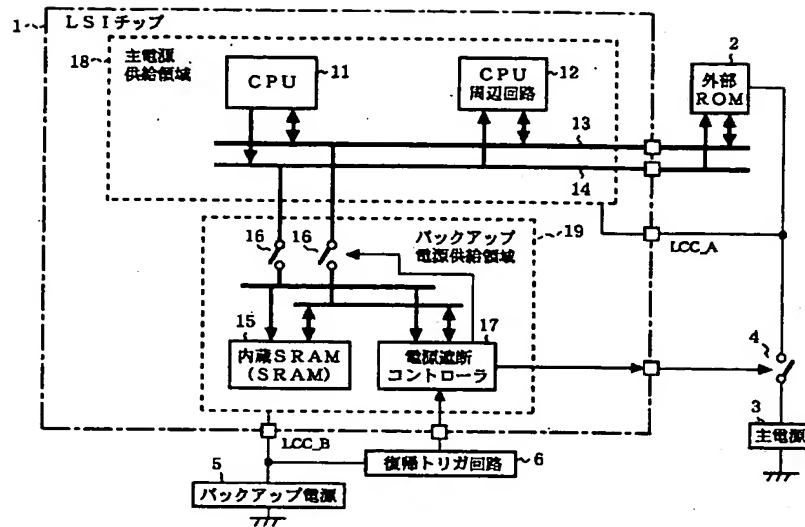
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.
H01L 21/822

識別記号

FI
H01L 27/04

テーマコード (参考)

T